Modelsim 简明教程

前言：Modelsim-Altera 或 Modelsim SE 可与 Quartus II 实现无缝连接，本文以举例方式介绍使用 Modelsim SE 进行仿真的操作方法,也适用于 Modelsim-Altera。

1， 新建一个工程，命名为 divide_50，并且在新建的 Verilog 文件中，输入如下码：

```
module divide_50(
                clk,
                reset,
                led
               );

input clk;
input reset;
output led;

reg[5:0] count;
always@(posedge clk or negedge reset)
  if(!reset)begin
  count<=6'b000000;
  end
```

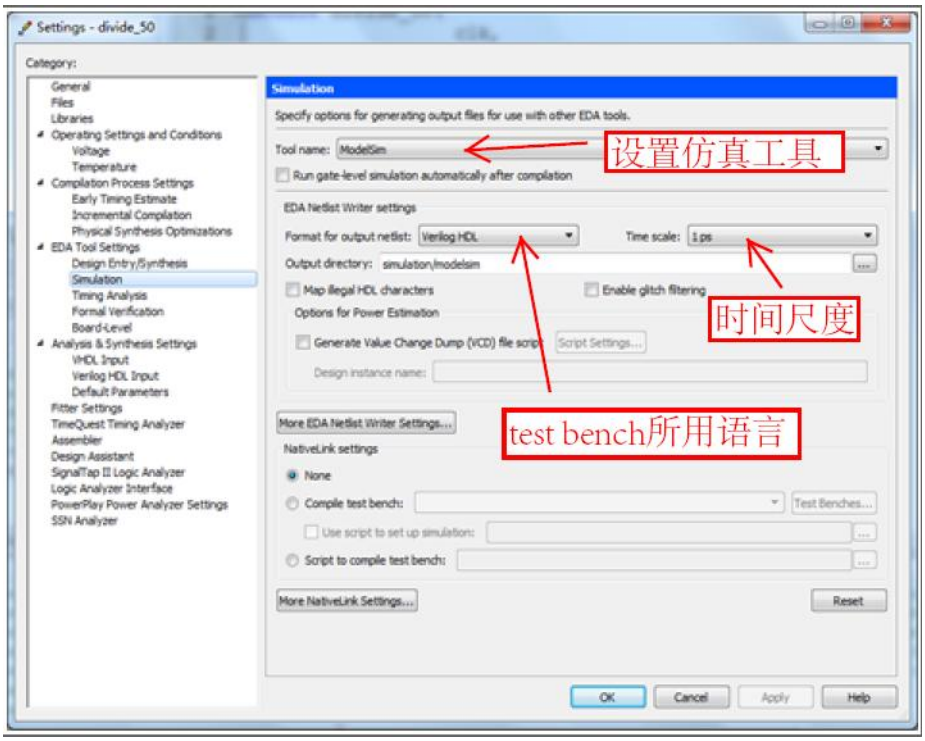
```
else if(count==6'd50)
count<=6'd0;
else
count<=count+1'b1;

assign led=count[5];

endmodule
```

实现对晶振的 50 分频。

2， 设置工程相关选项：

1,设置仿真选项

- assginemts->settings,弹出 settings 对话框，如图：



在设置仿真工具处，选择使用的仿真软件，用户可根据

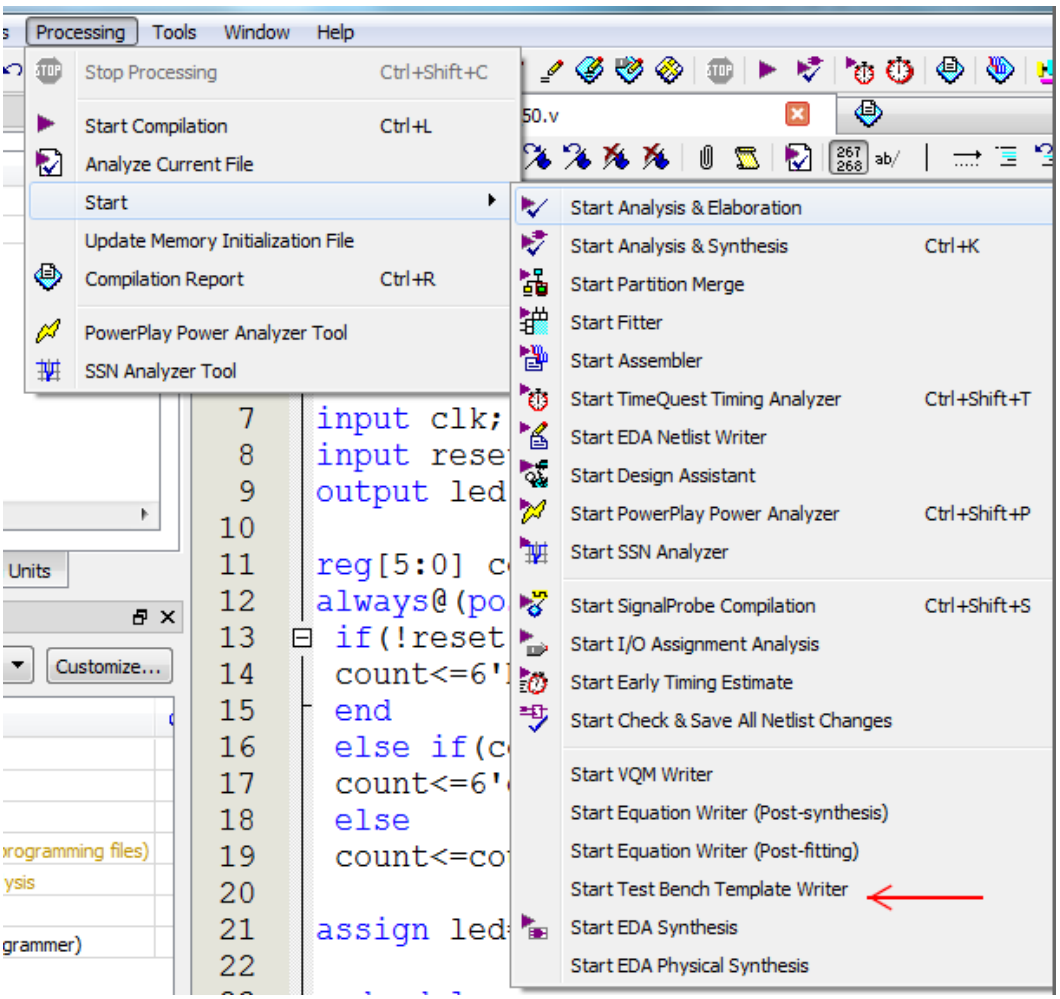
自己使用的具体软件进行设置.

另外两个标示处也要设置好，这里选择 Verilog 语言，

时间尺度为 1ns。

设置完成后点击 OK 确认。

- 编译整个工程，如果成功则工程文件夹下出现一个名为 simulation 文件夹。
- Processing->start->start test bench templete writer,软件自动编写 test bench 模板。



生成的模板在 simulation->modelsim 路径下，扩展名

为.vt

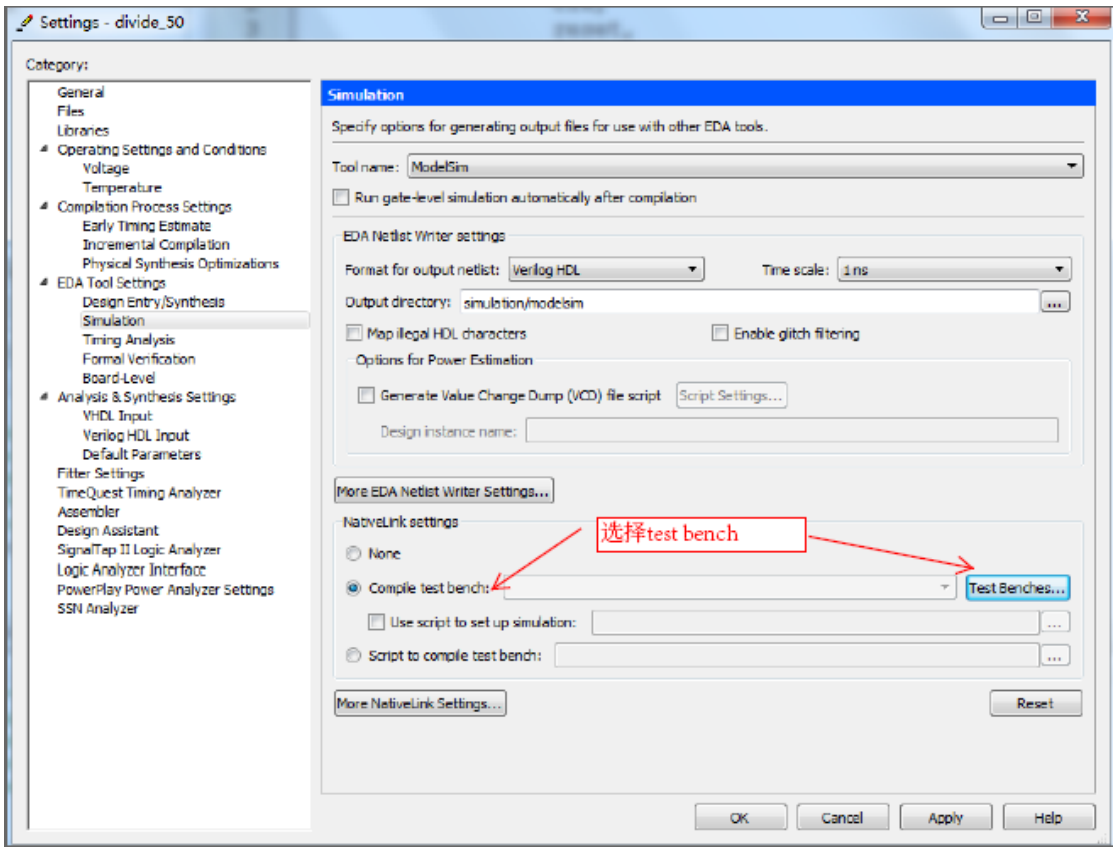
- 对生成的模板进行修改，本例程修改为：

```
`timescale 1 ns/ 1 ps
module divide_50_vlg_tst();
reg eachvec;// test vector input registers
reg clk;
reg reset;// wires
wire led;
divide_50 i1 (
  .clk(clk),
  .led(led),
  .reset(reset)
);
initial
begin
clk=0;
forever
#10 clk=~clk;
end
initial
begin
reset=0;
```

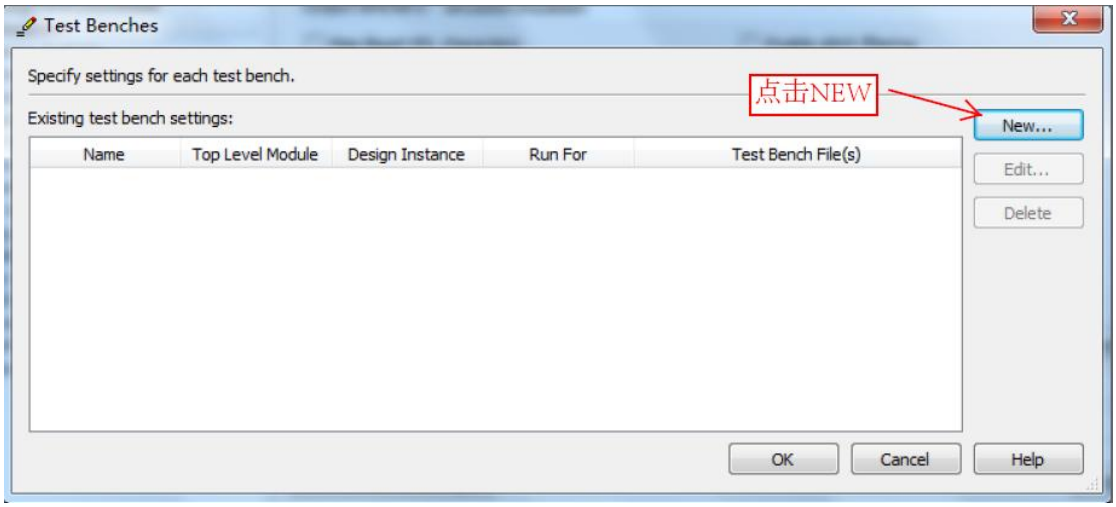
```
#1000
reset=1;
end
endmodule
```

修改完成后保存文件。

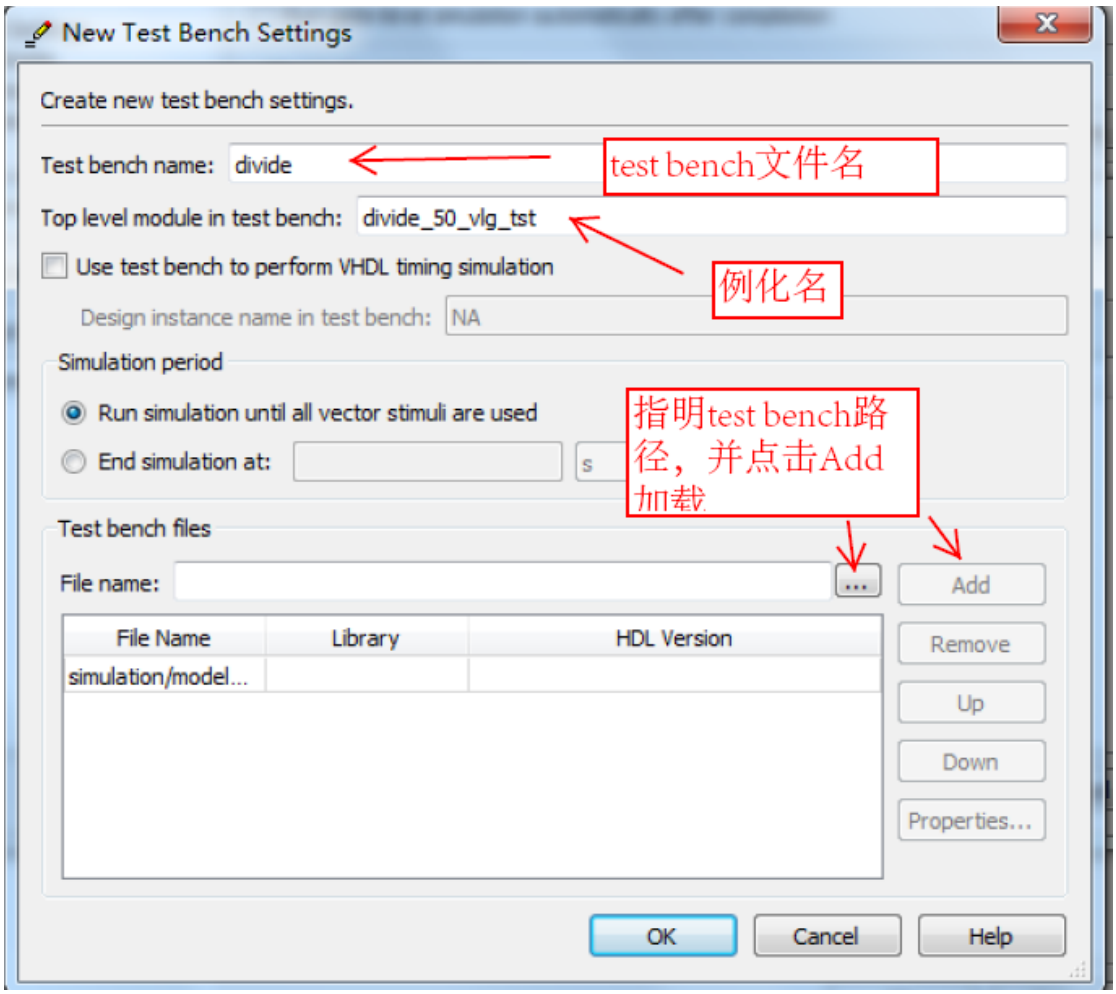
- 仍然打开 assignments->settings,，弹出如图对话框，加载 test bench,点击 test bench 按钮，如图所示：



弹出下图对话框：



按图所示点击 NEW,弹出下图对话框，并进行如图的设置：

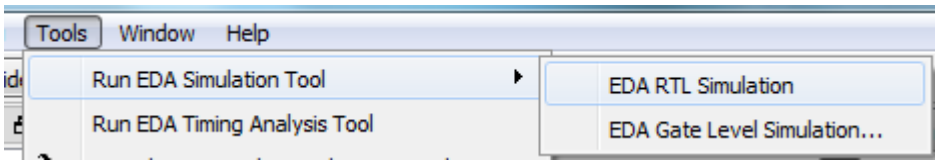


之后点击 ok 确认各步骤的设置。

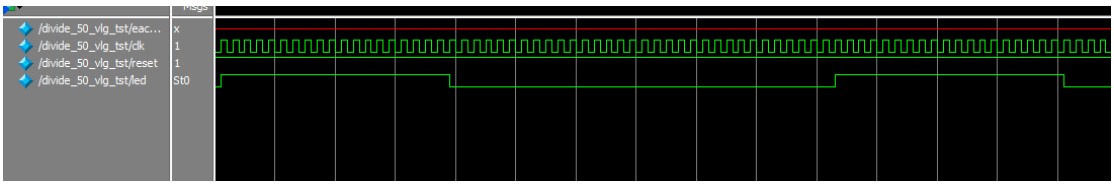
2, 运行行为仿真或时序仿真，区别在于时序仿真引入了延

时信息。

- 运行功能仿真



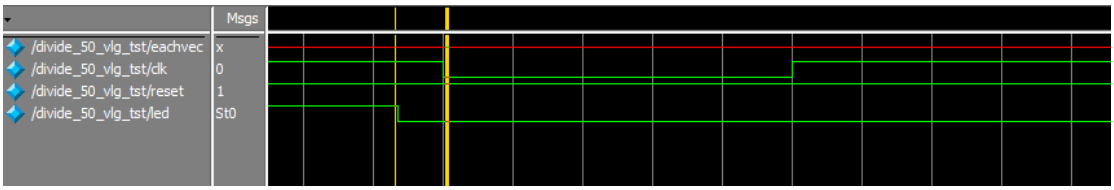
选择 EDA RTL Simulation，下面是仿真波形界面截图：



- 选择 EDA Gate Level Simulation 则为时序仿真：

注意：Stratix III 及其以后的器件，您能选择一个不同温度和电压参数的仿真模型，这个模型包括四个参数：①时序模型是慢速还是高速 （fast or slow）②速度等级③工作电压④工作温度；

下图为 Slow -8 1.2v 85model 模型下的时序仿真波形：



很明显，仿真考虑了延时信息。